

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 9 月 22 日 (22.09.2005)

PCT

(10) 国際公開番号
WO 2005/088694 A1

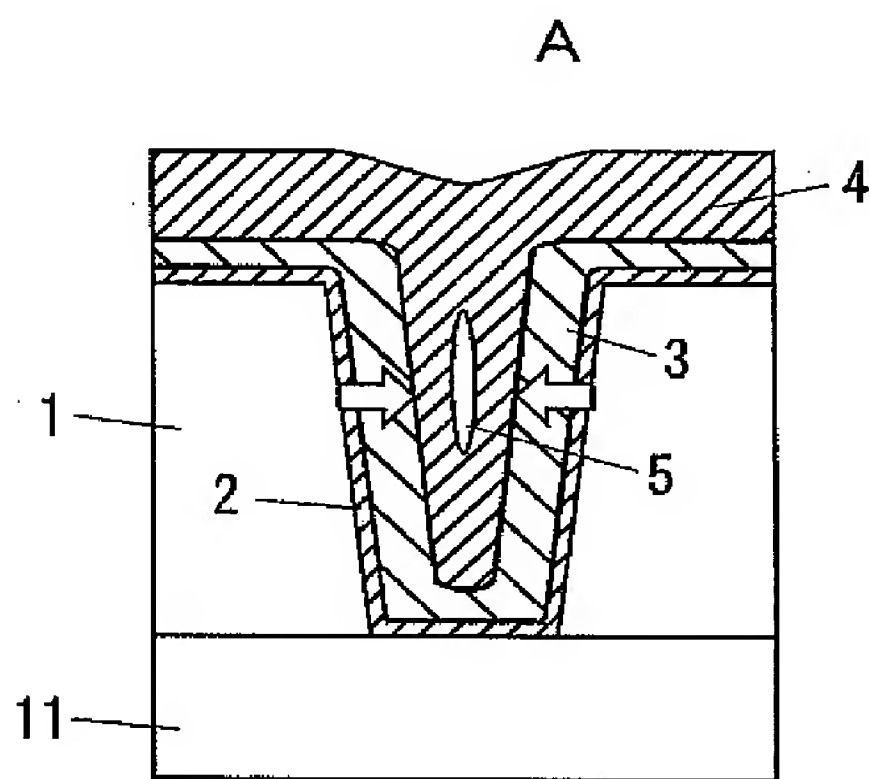
(51) 国際特許分類⁷: H01L 21/316, 21/768
(21) 国際出願番号: PCT/JP2004/007375
(22) 国際出願日: 2004 年 5 月 28 日 (28.05.2004)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願2004-073675 2004 年 3 月 16 日 (16.03.2004) JP
(71) 出願人 (米国を除く全ての指定国について): 石川
島播磨重工業株式会社 (ISHIKAWA,JIMA-HARIMA
HEAVY INDUSTRIES CO., LTD.) [JP/JP]; 〒1008182
東京都千代田区大手町二丁目 2 番 1 号 Tokyo (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 渡辺 智行
(WATANABE, Tomoyuki) [JP/JP]; 〒1008182 東京都
千代田区大手町二丁目 2 番 1 号 石川島播磨重工業
株式会社内 Tokyo (JP). 芳之内 淳 (YOSHINOUCHI,
Atsushi) [JP/JP]; 〒1008182 東京都千代田区大手町二
丁目 2 番 1 号 石川島播磨重工業株式会社内 Tokyo
(JP).
(74) 代理人: 堀田 実 (HOTTA, Minoru); 〒1080014 東京都
港区芝五丁目 2 6 番 2 0 号 建築会館 4 階 アサ国際
特許事務所 Tokyo (JP).
(81) 指定国 (表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,

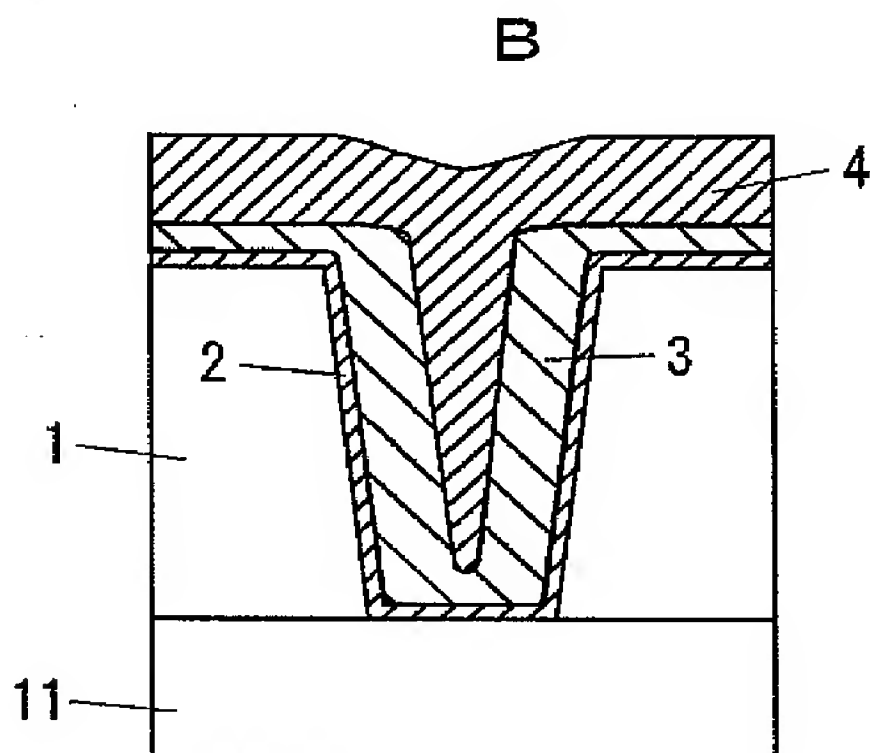
[続葉有]

(54) Title: PROCESS FOR FABRICATING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法



(57) Abstract: A process for fabricating a semiconductor device in which voids and pores can be eliminated from an interlayer insulating film at a lower heat treatment temperature than conventional methods. An anti-oxidation layer (2) for preventing intrusion of moisture into an element, an expansion layer (3) which can be expanded through oxidation when it is heat treated in an oxidizing atmosphere, and an insulating film (4) which can be fluidized through heat treatment in an oxidizing atmosphere are deposited on protrusions and recesses (1) formed by the element on a semiconductor substrate (11). The semiconductor substrate (11) is heat treated in an oxidizing atmosphere in order to fluidize the insulating film (4) and to expand the expansion layer (3) through oxidation, thereby eliminating air bubbles (5) generated in the insulating film (4).



[続葉有]

WO 2005/088694 A1



DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

従来よりも低い熱処理温度で、層間絶縁膜のボイド又は開気孔を消滅させることができる半導体装置の製造方法を提供する。

半導体基板 (11) 上の素子により形成された凹凸 (1) の上に、素子への水分の浸入を防止する酸化防止層 (2)、酸化雰囲気中で熱処理することにより酸化して膨張し得る膨張層 (3) 及び酸化雰囲気中で熱処理することにより流動化し得る絶縁膜 (4) を成膜する。この半導体基板 (11) を酸化雰囲気中で熱処理し、絶縁膜 (4) を流動化させるとともに膨張層 (3) を酸化させて膨張させることにより、絶縁膜 (4) 中に生じた気泡 (5) を消滅させる。

明 細 書

半導体装置の製造方法

発明の背景

[0001] 発明の技術分野

[0002] 本発明は、半導体基板(ウエハ)の上に絶縁膜を備えた半導体装置の製造方法に関する。更に詳しくは、上記絶縁膜中に生ずるボイド(気泡)や絶縁膜の埋め込みが不十分であるために生ずる開気孔を完全に消滅させることができる半導体装置の製造方法に関する。

関連技術の説明

[0003] 例えば、半導体装置の製造工程においてMOSFETのゲート電極が半導体基板の上に突出して形成されることによりそれらに隣接するゲート電極間に凹部ができゲート電極とそれらのゲート電極間とによって凹凸・段差(トレンチ)ができる。この段差が大きくなると、露光により配線パターンを描画する際の焦点ずれが生じたり、配線を交差して形成する場合に交差部のラップ部分が薄くなり断線の原因となったりするなど、半導体装置の欠陥につながるような問題が発生する。このため、このような段差を解消する方法として、段差に化学的気相成長法(CVD)によりBPSG膜やPSG膜等の層間絶縁膜を成膜した上で、この層間絶縁膜の表面を何らかの方法で平坦化することが行われる。

[0004] ところで、近年、半導体装置の高集積化、大容量化に伴う微細化、高密度化が進むにつれ構造のアスペクト比(構造物の横方向寸法に対する深さ方向寸法の比)が高くなり、製作工程において構造の段差が大きくなる傾向にある。そのため、上述した層間絶縁膜の成膜に際して、絶縁膜中にボイド(気泡)が発生する確率が高くなってきており、また、トレンチへの絶縁膜の成膜の不均一や成膜量不足(成膜不良)により絶縁膜に開気孔が生ずる場合もある。図1A及び図1Bは、従来の半導体装置の製造過程における半導体装置の断面形状を示すものであり、図1Aは半導体基板50上の素子により形成された凹凸51の上に成膜された層間絶縁膜52中にボイド53を生じた場合を示し、図1Bは層間絶縁膜52に開気孔54を生じた場合を示している。な

お、図1A及び図1Bにおいて、符号55はバリアー層である。

- [0005] 従来、層間絶縁膜を成膜した半導体基板を、常圧(0.1MPa)の不活性ガス雰囲気中で900℃の温度で熱処理するか、又は、常圧の酸素又は水蒸気雰囲気中で900℃より若干低い温度で熱処理することにより、絶縁膜を流動化(リフロー)させることにより平坦化が行われており、このリフロー処理により絶縁膜中に生じたボイドや開気孔も消滅させていた。これに関連する先行技術として、下記特許文献1及び2が開示されている。
- [0006] 特許文献1の「半導体装置の絶縁膜の平坦化方法」は、半導体装置のBPSG膜を比較的低温、短時間で効果的にリフローすることを目的とし、半導体装置の基板上の凹凸面上に形成された絶縁膜を熱フローにより平坦化する方法において、熱フローを酸素又は、水蒸気を含む雰囲気中において0.3MPa以上の圧力下で行うものである。そして、この方法により、絶縁膜に拡散する酸素量及びその拡散速度が増大し、従来に比し低温でかつ短時間でBPSG膜の良好なリフローを実現している。
- [0007] 特許文献2の「半導体装置の製造方法」は、低温処理により十分な平坦性を得ることを目的とし、半導体基板上の素子を形成し、この素子上にシリコン窒化膜を形成し、この上にホウ素とリンを含むBPSG膜を形成し、更にその上に塗布法によりホウ素もしくはリンの少なくとも一方を含むSOG膜を形成する。その上で、基板を水蒸気を含む高圧雰囲気中で熱処理を行う。これにより、SOG膜をゲル状化し、外部からの高圧により膜自身に圧力が加えられて平坦化される。
- [0008] 特許文献1:特開平5-67607号公報
特許文献2:特開平10-275805号公報
- [0009] 上述した特許文献1の「半導体装置の絶縁膜の平坦化方法」では、従来のリフロー処理温度より低い800℃で熱処理を行うことができ、特許文献2の「半導体装置の製造方法」では、リフロー処理温度を700℃以下にすることができる。また、リフロー処理による絶縁膜の流動化により、絶縁膜中に生じたボイドや開気孔を消滅させることが期待できる。しかしながら、特許文献1、2のような700℃〜800℃の熱処理温度は、微細化レベルの素子特性では悪影響を与える温度であるため、半導体装置の一層の集積化にあたっては熱処理によるダメージ低減のためにさらなる処理温度の低

温化が望まれている。また、高い流動性が得られる高温度の処理においてもボイドの発生位置や大きさによりボイドが完全に消滅せずに残留してしまう場合があり、これはデバイスの欠陥原因となり得る。特にボイドの大きさが微小化するに従い、流動時の浮力による効果が低下するため、ボイドが残留する可能性は益々高くなる。また、絶縁膜に開気孔が発生した場合、リフロー処理時には絶縁膜の表面張力により開気孔表面が平坦化されるものの、開気孔が閉じて凹凸(溝)が埋め込まれることはなかった。

発明の要約

- [0010] 本発明は上述した問題を解決するために創案されたものである。すなわち本発明の目的は、従来よりも低い熱処理温度で、かつ、完全に層間絶縁膜のボイドを消滅させることができ、さらに、層間絶縁膜に生じた開気孔を埋め込むことができる半導体装置の製造方法を提供することにある。
- [0011] 本発明の目的を達成するために、第1の発明によれば、半導体基板上の素子により形成された凹凸の上に、該素子への水分の浸入を防止する酸化防止層を成膜する第1成膜工程と、この酸化防止層の上に、酸化雰囲気中で熱処理することにより酸化して膨張し得る膨張層を成膜する第2成膜工程と、この膨張層の上に、酸化雰囲気中で熱処理することにより流動化し得る絶縁膜を成膜する第3成膜工程と、酸化防止層、膨張層及び絶縁膜が成膜された前記半導体基板を酸化雰囲気中で熱処理し、絶縁膜を流動化させるとともに膨張層を酸化させて膨張させることにより、絶縁膜中に生じた気泡を消滅させる膨張工程とを含む、ことを特徴とする半導体装置の製造方法が提供される。
- [0012] 第2の発明は、第1の発明の好ましい実施形態であり、前記膨張層は、ポリシリコン、アモルファスシリコン又はシリサイドからなる。
- [0013] 第3の発明は、第1の発明の好ましい実施形態であり、前記膨張層は、アルミニウムもしくはタンタル又はこれらの合金からなる。
- [0014] 第4の発明は、第1の発明の好ましい実施形態であり、前記絶縁膜は、リン、ヒ素、ボロン、フッ素及びハロゲン化物のうち少なくとも一種類を含有するシリコン酸化膜であ

る。

[0015] 第5の発明は、第1の発明の好ましい実施形態であり、前記酸化防止層はシリコン窒化膜からなる。

[0016] 第6の発明は、第1の発明の好ましい実施形態であり、前記膨張工程における酸化雰囲気圧力は大気圧以上であり、かつ、熱処理温度は400℃乃至800℃である。

[0017] 第7の発明によれば、半導体基板上の素子により形成された凹凸の上に、該素子への水分の浸入を防止する酸化防止層を成膜する第1成膜工程と、この酸化防止層の上に、酸化雰囲気中で熱処理することにより酸化して膨張、流動化し得るとともに絶縁性をもつ膨張流動層を成膜する第2成膜工程と、酸化防止層及び膨張流動層が成膜された前記半導体基板を酸化雰囲気中で熱処理し、膨張流動層を酸化させて膨張させるとともに流動化させることにより、膨張流動層中に生じた気泡又は膨張流動層に生じた開気孔を消滅させる膨張工程とを含む、ことを特徴とする半導体装置の製造方法が提供される。

[0018] 第8の発明は、第7の発明の好ましい実施形態であり、前記膨張流動層は、ボロン、リン及びフッ素のうち少なくとも一種類を含有するポリシリコン又はアモルファスシリコンからなる。

[0019] 第9の発明は、第7の発明の好ましい実施形態であり、前記酸化防止層はシリコン窒化膜からなる。

[0020] 第10の発明は、第7の発明の好ましい実施形態であり、前記膨張工程における酸化雰囲気圧力は大気圧以上であり、かつ、熱処理温度は400℃乃至800℃である。

[0021] 第1～第6の発明によれば、半導体基板上の素子により形成された凹凸の上に酸化防止層を形成し、その上に膨張層を形成し、その上に絶縁膜を形成し、そしてこれらが形成された半導体基板を高圧酸化雰囲気中で熱処理し、絶縁膜を流動化させるとともに膨張層を酸化、膨張させることにより、絶縁膜の流動化を助勢し、これにより絶縁膜中に生じたボイド(気泡)を完全に消滅させることができる。

[0022] また、第7～第10の発明によれば、半導体基板上の素子により形成された凹凸の上に酸化防止層を形成し、その上に膨張流動層を形成し、そしてこれらが形成された半導体装置を高圧酸化雰囲気中で熱処理し、膨張流動層を膨張させるとともに流動化

させることにより、膨張流動層中に発生したボイド(気泡)を完全に消滅させることができる。また、膨張流動層の埋め込みが不十分であるために開気孔が生じた場合でも、膨張および流動化の効果により開気孔の埋め込みが行われるため、開気孔を消滅させることができる。

[0023] 流動効果のみを期待した従来のリフロー処理の場合、ボイドが小さくなるほど流体抵抗が増大するため、処理温度を上げるか、もしくは処理時間を長くする必要があった。しかし、第1〜第10の発明のように膨張層を絶縁膜の流動化を助勢するために用いた場合、熱処理の温度と時間は膨張層の膨張量に依存するため、ボイドが小さくなるほどボイドを消滅させるための膨張層の膨張量が少なくて済むことから、処理温度の低温化又は処理時間の短縮化を図ることができる。また、膨張流動層を膨張、流動させた場合も、熱処理の温度および時間は膨張流動層の膨張量に依存するため、同様に処理温度の低温化又は処理時間の短縮化を図ることができる。

[0024] したがって、本発明の半導体装置の製造方法によれば、従来よりも処理温度の低温化を図ることができるとともに、絶縁膜中にボイドや開気孔のない半導体装置を製造することができ、装置の歩留まりを向上させることができるという効果が得られる。

[0025] 本発明のその他の目的及び有利な特徴は、添付図面を参照した以下の説明から明らかになる。

図面の簡単な説明

[0026] [図1]A及びBは、先行技術を説明する図である。

[図2]A〜Cは、本発明の第1の実施例による半導体装置の製造方法を適用した半導体装置の断面形状を示す図である。

[図3]ポリシリコン及び単結晶シリコンの酸化膜厚の処理時間依存性を示す図である。

[図4]単結晶シリコンの酸化膜厚の処理温度依存性を示す図である。

[図5]単結晶シリコンの酸化膜厚の処理圧力依存性を示す図である。

[図6]A及びBは、本発明の第1の実施例による半導体装置の製造方法により絶縁膜中のボイドを消滅させる様子を示す図である。

[図7A]本発明の第2の実施例による半導体装置の製造方法を適用した半導体装置の断面形状を示す図である。

[図7B]本発明の第2の実施例による半導体装置の製造方法を適用した半導体装置の断面形状を示す図である。

[図7C]本発明の第2の実施例による半導体装置の製造方法を適用した半導体装置の断面形状を示す図である。

[図7D]本発明の第2の実施例による半導体装置の製造方法を適用した半導体装置の断面形状を示す図である。

[図7E]本発明の第2の実施例による半導体装置の製造方法を適用した半導体装置の断面形状を示す図である。

[図8]A及びBは、本発明の第2の実施例による半導体装置の製造方法により膨張流動層の開気孔を消滅させる様子を示す図である。

好ましい実施例の説明

[0027] 以下、本発明の好適な実施の形態を添付図面に基づいて詳細に説明する。なお、各図において、同一部分には同一符号を付し、重複した説明を省略する。

[0028] まず、本発明の第1の実施例による半導体装置の製造方法について説明する。本発明の第1の実施例による半導体装置の製造方法は、半導体基板上の素子により形成された凹凸の上に、酸化防止層を成膜する第1成膜工程と、膨張層を成膜する第2成膜工程と、絶縁膜を成膜する第3成膜工程と、これらが成膜された半導体基板を熱処理し膨張層を膨張させる膨張工程とを含むものである。以下、各工程について説明する。

[0029] 図2A～図2Cは、本発明の第1の実施例による半導体装置の製造方法を適用する半導体装置の断面形状を示すものである。まず、図2Aに示すように、半導体基板11上に形成されたゲート絶縁膜やゲート電極等の配線構造物(素子)によりできた凹凸1(トレンチ)に、減圧化学的気相成長法(以下「LPCVD」という。)により第1層として酸化防止層2を成膜する第1成膜工程を実施する。本実施例では、凹凸1の溝の大きさは幅 $1\mu\text{m}$ 、深さ $2.5\mu\text{m}$ であり、これに 150nm 厚の酸化防止層2を成膜した。この酸化防止層2は、例えばシリコン窒化膜からなり、後工程での処理による水分が素

子まで浸入しないようにするための保護膜(バリアー層)として機能する。

- [0030] 次に、図2Bに示すように、第1層である酸化防止層2の上に、第2層としてLPCVDにより、酸化雰囲気中で熱処理することで酸化により膨張し得る膨張層3を成膜する第2成膜工程を実施する。膨張層3の厚さは最終的に後述する絶縁膜4中に生じるであろうボイド幅の2分の1以上となるように形成する。本実施形態では100nm厚の膨張層3を成膜した。この膨張層3は、ポリシリコン、アモルファスシリコン又はシリサイドからなる膜であるのが好ましい。また、アルミニウムもしくはタンタル又はこれらの合金からなる膜であってもよい。さらに、膨張層としては上記以外にも、酸化雰囲気中で酸化されて膨張する性質をもつ全ての物質を採用することができる。
- [0031] 次に、図2Cに示すように、第2層である膨張層3の上に、常圧化学的気相成長法(以下「APCVD」という。)により、第3層として絶縁膜4を凹凸が埋まる程度に成膜する第3成膜工程を実施する。この絶縁膜4は、リン、ヒ素、ボロン、フッ素及びハロゲン化物のうち少なくとも一種類を含有するシリコン酸化膜(BPSG膜、PSG膜等)であるのが好ましい。このとき、同図に示すように、絶縁膜4の中にボイド5(気泡)を生じている。
- [0032] 次に、上記の第1層から第3層が形成された半導体基板11を酸素又は水蒸気を含む雰囲気(酸化雰囲気)中で熱処理を行い、膨張層3を酸化させて膨張させる膨張工程を実施する。
- [0033] ここで、図3は、ポリシリコン及び単結晶シリコンの酸化膜厚の酸化処理時間依存性を示すものであり、横軸に酸化処理時間[min]をとり、縦軸に酸化膜厚[nm]をとっている。図中、「p-Si」はポリシリコンを示し、「c-Si(100)」は単結晶シリコン(100)を示している。熱処理は、水蒸気を含む雰囲気中で温度及び圧力がそれぞれ600 $^{\circ}\text{C}$ 、2MPaの条件下で実施した。この結果から、ポリシリコン、単結晶シリコンともに、酸化処理時間に比例して酸化膜厚は厚くなる傾向があることが分かる。
- [0034] 図4は、単結晶シリコンの酸化膜厚の酸化処理温度依存性を示すものであり、横軸に酸化処理時間[min]をとり、縦軸に酸化膜厚[nm]をとっている。図中、「○」、「■」、「▲」はそれぞれ処理温度を示しており、「○」は600 $^{\circ}\text{C}$ 、「■」は580 $^{\circ}\text{C}$ 、「▲」は550 $^{\circ}\text{C}$ を示し、いずれも水蒸気を含む雰囲気中で2MPaの圧力条件下で熱処理を実施

した。この結果から、単結晶シリコンは酸化処理温度に対し指数的に酸化膜厚が厚くなる傾向があることが分かる。

[0035] 図5は、単結晶シリコンの酸化膜厚の酸化圧力依存性を示すものであり、横軸に酸化処理圧力[MPa]をとり、縦軸に酸化速度[nm/min]をとっている。熱処理は、水蒸気を含む雰囲気中で600℃の加熱条件下で実施した。この結果から、単結晶シリコンは酸化処理圧力に比例して酸化膜厚が厚くなる傾向があることが分かる。

[0036] 熱処理の一例として、水蒸気を含む雰囲気において2MPaの圧力条件下、及び600℃の加熱条件下で熱処理を行ったところ、ポリシリコンの酸化レートは約46nm/Hr、アモルファスシリコンの酸化レートは約24nm/Hrであり、ボイド径が50nm程度の場合、膨張層がポリシリコン層であるときは2時間程度を要し、膨張層がアモルファスシリコン層であるときは4時間程度を要した。

[0037] そこで、これらの結果を踏まえ、膨張工程では、酸化雰囲気において大気圧(約0.1MPa)以上の圧力条件下で、及び400℃～800℃の加熱条件下で熱処理を行うことが好ましい。図5の結果から、膨張層3の酸化速度は処理圧力に比例するため、具体的な処理圧力は、生産性等の観点から実用的な処理時間を下回らないような圧力に設定される。この熱処理により、第2層として成膜した膨張層3は高圧酸化雰囲気により酸化され、膨張層3がポリシリコン層であるときは酸化シリコンに変化し、ポリシリコン層は酸化によって2倍程度の厚さまで膨張する。このとき、加熱により粘性が低下して流動化した第3層であるBPSG等の絶縁膜4は、膨張層3の膨張により圧縮され、図6Aのように絶縁膜4中のボイド5も縮小していく。そして、熱処理の最終段階では、図6Bのように膨張層3の膨張によりボイド5が完全に消滅する。

[0038] また、この段階で、不純物を含むBPSG等の絶縁膜4からの不純物が、酸化・膨張した膨張層3に拡散し、最終的には絶縁膜4と同様の層となり、ボイドフリーの層間絶縁膜として機能する。例えば、膨張層3がポリシリコン、絶縁膜4がBPSG膜であるときは、ポリシリコンは酸化により酸化シリコンとなり、これにBPSG膜からの不純物が拡散して最終的にはPBSG膜となる。

[0039] このように、本発明の第1の実施例によれば、半導体基板11上の素子により形成された凹凸1の上に酸化防止層2を形成し、その上に膨張層3を形成し、その上に絶縁膜

4を形成し、そしてこれらが形成された半導体基板11を高圧酸化雰囲気中で熱処理し、絶縁膜4を流動化させるとともに膨張層3を酸化、膨張させることにより、絶縁膜4の流動化を助勢するため絶縁膜4中に生じたボイド5(気泡)を完全に消滅させることができるという効果が得られる。この結果、装置の歩留まりを向上させることができる。

[0040] 流動効果のみを期待した従来のリフロー処理の場合、ボイドが小さくなるほど流体抵抗が増大するため、処理温度を上げるか、もしくは処理時間を長くする必要があった。しかし、本発明のように膨張層3を絶縁膜4の流動化を助勢するために用いた場合、熱処理の温度と時間は膨張層3の膨張量に依存するため、ボイド5が小さくなるほどボイド5を消滅させるための膨張層3の膨張量が少なくて済むことから、処理温度の低温化又は処理時間の短縮化を図ることができる。

[0041] 次に本発明の第2の実施例による半導体装置の製造方法について説明する。本発明による第2の実施例による半導体装置の製造方法は、半導体基板11上の素子により形成された凹凸1の上に、酸化防止層を成膜する第1成膜工程と、膨張流動層を成膜する第2成膜工程と、これらが成膜された半導体基板11を熱処理し膨張流動層を膨張させる膨張工程とを含むものである。以下、各工程について説明する。

[0042] 図7A～図7Eは、本発明の第2の実施例による半導体装置の製造方法を適用する半導体装置の断面形状を示すものである。まず、図7Aに示すように、半導体基板11上の素子により形成された凹凸1に、LPCVDにより第1層として酸化防止層2を成膜する第1成膜工程を実施する。この酸化防止層2は第1の実施形態と同様のものである。

[0043] 次に、図7Bに示すように、第1層である酸化防止層2の上に、第2層としてLPCVDにより、酸化雰囲気中で熱処理することで酸化して膨張、流動化し得るとともに絶縁性をもつ膨張流動層6を凹凸1が埋まる程度に成膜する第2成膜工程を実施する。このとき、同図に示すように、膨張流動層6の中にボイド5(気泡)を生じたり、図7Cのように凹凸1に対する膨張流動層6の埋め込みが不十分であると開気孔7を生じたりする。この膨張流動層6は、ボロン、リン、及びフッ素のうち少なくとも一種類を含有するポリシリコン(ドーパドポリシリコン)又はアモルファスシリコン(ドーパドアモルファスシリ

コン)からなるのが好ましい。また、膨張流動層6としては上記以外にも、酸化雰囲気中で酸化されて膨張するとともに流動化し、酸化により絶縁性をもつ全ての物質を採用することができる。

- [0044] 次に、上記の第1層及び第2層が形成された半導体基板11に対して酸化雰囲気中で熱処理を行い、膨張流動層を膨張、流動化させる膨張工程を実施する。膨張工程では、第1の実施例と同様に、酸化雰囲気において大気圧(約0.1MPa)以上の圧力条件下、及び400℃〜800℃の加熱条件下で熱処理を行うことが好ましい。この熱処理により、第2層として成膜した膨張流動層6は高圧酸化雰囲気により酸化され、膨張流動層6がドーパドポリシリコン又はドーパドアモルファスシリコンであるときは、リン、ボロン等を含んだ酸化シリコン(BSG、PSG、BPSG等)に変化する。膨張流動層6は、この酸化過程において膨張するとともに、熱処理により粘性が低下して流動化する。このとき、膨張流動層6は最大で2倍程度まで膨張する。
- [0045] これにより、膨張流動層6中のボイド5は圧縮されて図7Dのように縮小していき、熱処理の最終段階では図7Eのように完全に消滅する。また、開気孔7を生じている場合でも、膨張流動層6が熱処理により膨張、流動化することにより、図8Aのように開気孔7はその表面が平坦化された後、図8Bのようにボイド8に遷移していく。そして、その後は図7Dと同様に圧縮されて縮小し、最終的には図7Eと同様に完全に埋め込まれ、ボイド8は消滅する。
- [0046] このように、本発明の第2の実施例による半導体装置の製造方法によれば、半導体基板11上の素子により形成された凹凸1の上に酸化防止層1を成膜し、その上に膨張流動層6を成膜し、そしてこれらが成膜された半導体装置を高圧酸化雰囲気中で熱処理し、膨張流動層6を膨張させるとともに流動化させることにより、膨張流動層6中に発生したボイド5(気泡)を完全に消滅させることができるという効果が得られる。また、凹凸1に対する膨張流動層6の埋め込みが不十分であるために開気孔7が生じた場合でも、膨張および流動化の効果により開気孔7の埋め込みが行われるため、開気孔7を消滅させることができるという効果が得られる。この結果、装置の歩留まりを向上させることができる。
- [0047] また、膨張流動層6を膨張、流動させた場合、第1の実施形態と同様に、熱処理の温

度および時間は膨張流動層6の膨張量に依存するため、ボイド5が小さくなるほどボイド5を消滅させるための膨張層の膨張量が少なくて済むことから、同様に処理温度の低温化又は処理時間の短縮化を図ることができる。

- [0048] なお、本発明の半導体装置の製造方法を好ましい実施例により説明したが、本発明に包含される権利範囲は、この実施例に限定されないことが理解されよう。反対に、本発明の権利範囲は、添付の請求の範囲に含まれるすべての改良、修正及び均等物を含むものである。

請求の範囲

- [1] 半導体基板上の素子により形成された凹凸の上に、該素子への水分の浸入を防止する酸化防止層を成膜する第1成膜工程と、
この酸化防止層の上に、酸化雰囲気中で熱処理することにより酸化して膨張し得る膨張層を成膜する第2成膜工程と、
この膨張層の上に、酸化雰囲気中で熱処理することにより流動化し得る絶縁膜を成膜する第3成膜工程と、
酸化防止層、膨張層及び絶縁膜が成膜された前記半導体基板を酸化雰囲気中で熱処理し、絶縁膜を流動化させるとともに膨張層を酸化させて膨張させることにより、絶縁膜中に生じた気泡を消滅させる膨張工程とを含む、ことを特徴とする半導体装置の製造方法。
- [2] 前記膨張層は、ポリシリコン、アモルファスシリコン又はシリサイドからなる、ことを特徴とする請求項1に記載の半導体装置の製造方法。
- [3] 前記膨張層は、アルミニウムもしくはタンタル又はこれらの合金からなる、ことを特徴とする請求項1に記載の半導体装置の製造方法。
- [4] 前記絶縁膜は、リン、ヒ素、ボロン、フッ素及びハロゲン化物のうち少なくとも一種類を含有するシリコン酸化膜である、ことを特徴とする請求項1に記載の半導体装置の製造方法。
- [5] 前記酸化防止層はシリコン窒化膜からなる、ことを特徴とする請求項1に記載の半導体装置の製造方法。
- [6] 前記膨張工程における酸化雰囲気中の圧力は大気圧以上であり、かつ、熱処理温度は400℃乃至800℃である、ことを特徴とする請求項1に記載の半導体装置の製造方法。
- [7] 半導体基板上の素子により形成された凹凸の上に、該素子への水分の浸入を防止する酸化防止層を成膜する第1成膜工程と、
この酸化防止層の上に、酸化雰囲気中で熱処理することにより酸化して膨張、流動化し得るとともに絶縁性をもつ膨張流動層を成膜する第2成膜工程と、
酸化防止層及び膨張流動層が成膜された前記半導体基板を酸化雰囲気中で熱

処理し、膨張流動層を酸化させて膨張させるとともに流動化させることにより、膨張流動層中に生じた気泡又は膨張流動層に生じた開気孔を消滅させる膨張工程とを含む、ことを特徴とする半導体装置の製造方法。

- [8] 前記膨張流動層は、ボロン、リン及びフッ素のうち少なくとも一種類を含有するポリシリコン又はアモルファスシリコンからなる、ことを特徴とする請求項7に記載の半導体装置の製造方法。
- [9] 前記酸化防止層はシリコン窒化膜からなる、ことを特徴とする請求項7に記載の半導体装置の製造方法。
- [10] 前記膨張工程における酸化雰囲気圧力の圧力は大気圧以上であり、かつ、熱処理温度は400℃乃至800℃である、ことを特徴とする請求項7に記載の半導体装置の製造方法。

[図1]

図 1 A
先行技術

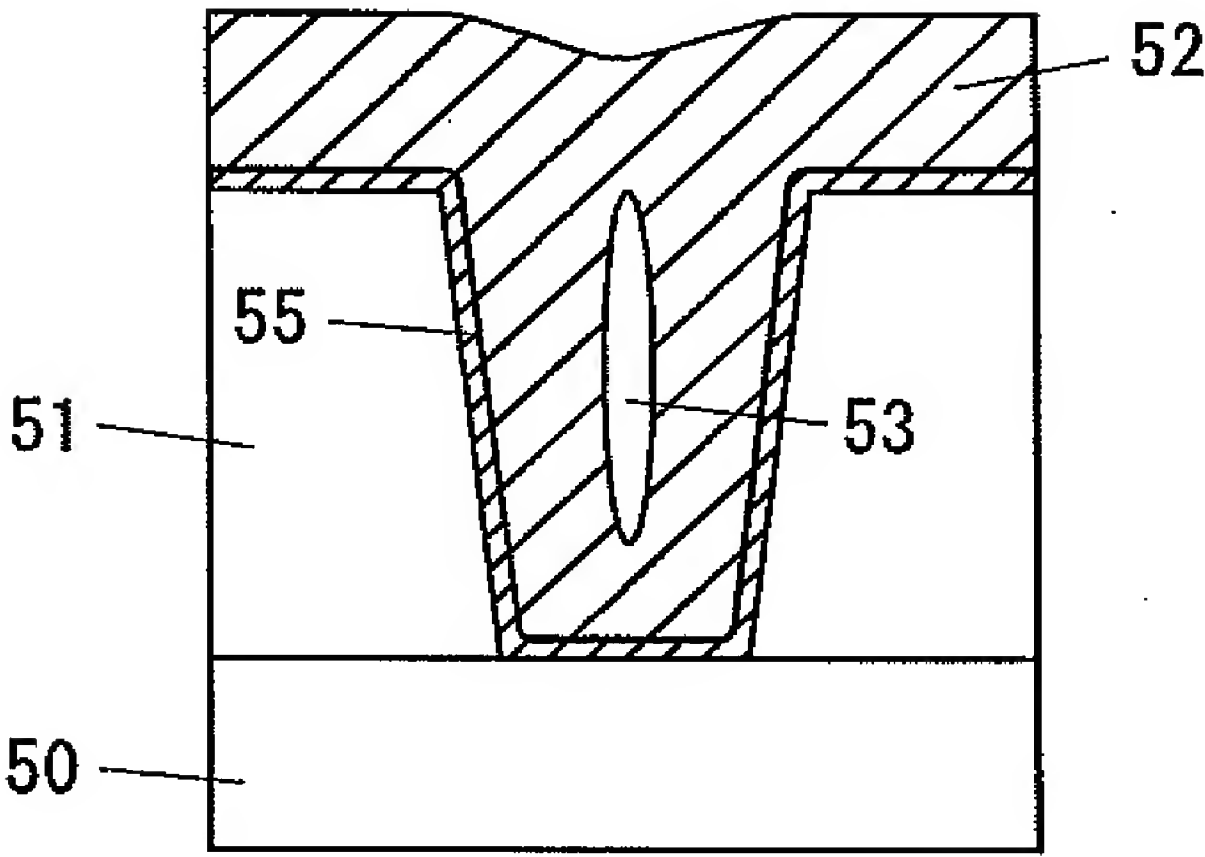
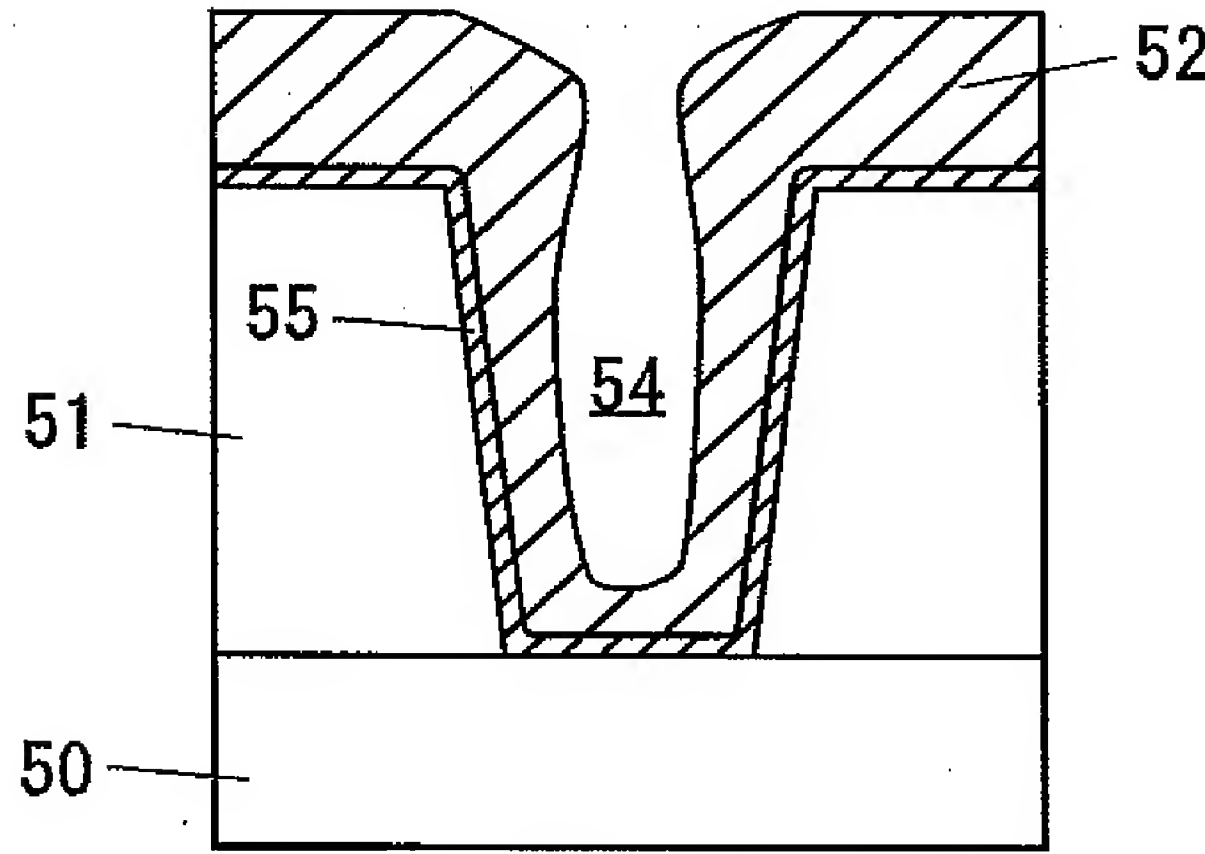


図 1 B
先行技術



[図2]

図 2 A

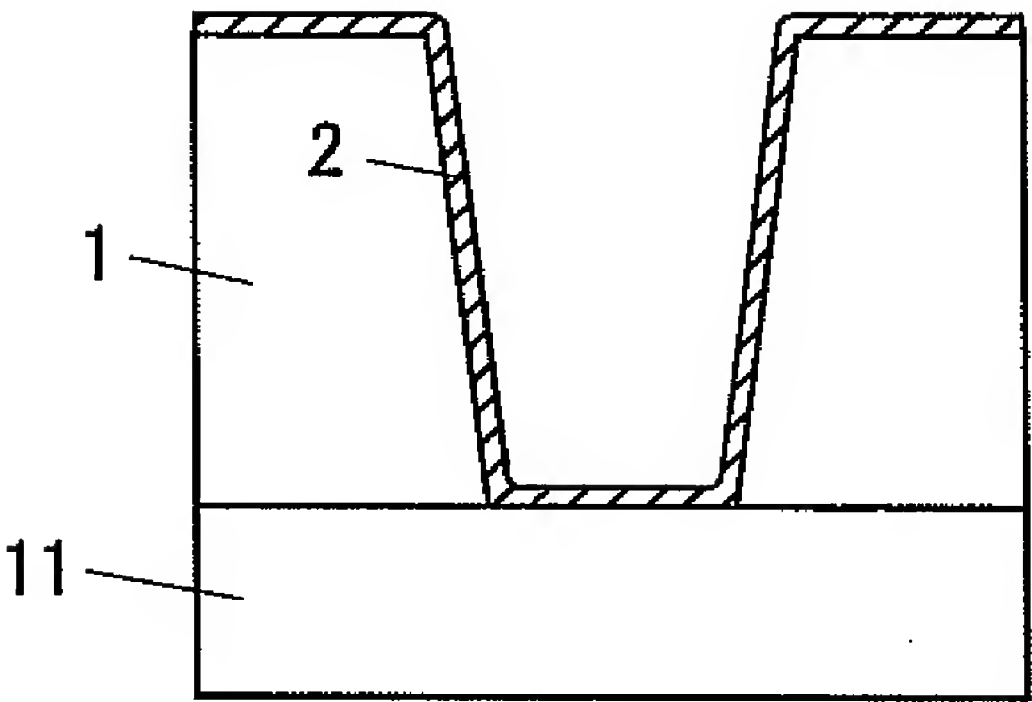


図 2 B

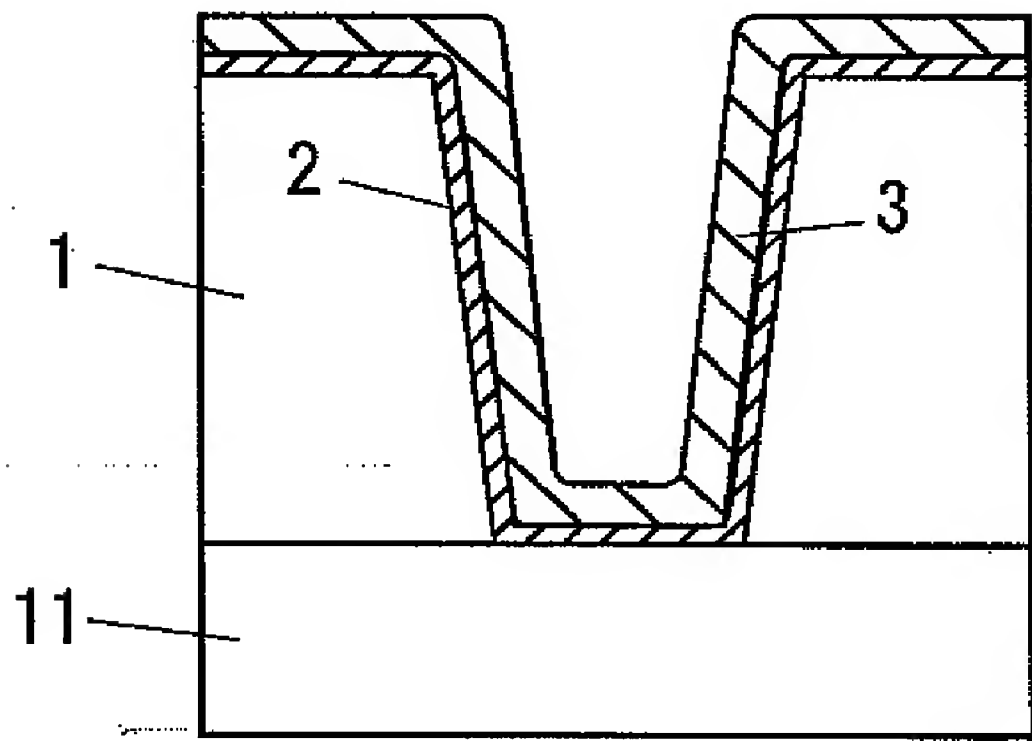
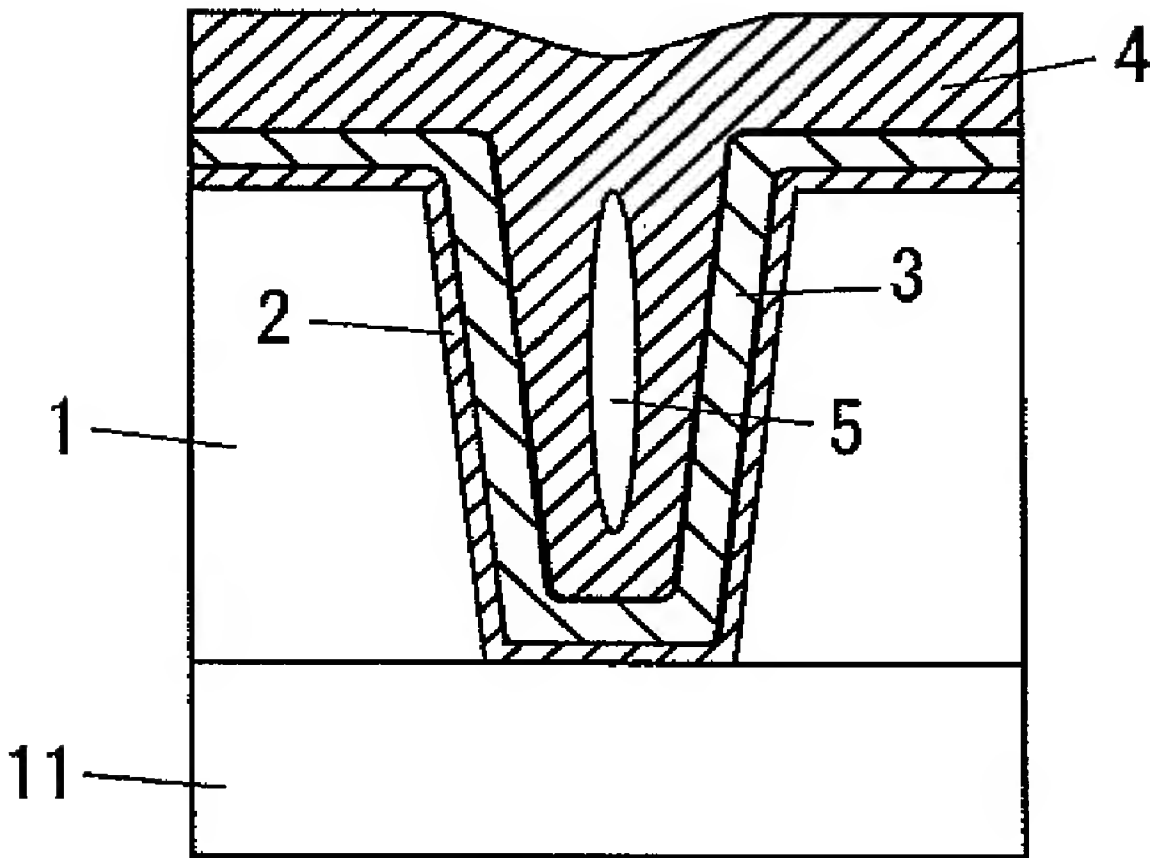
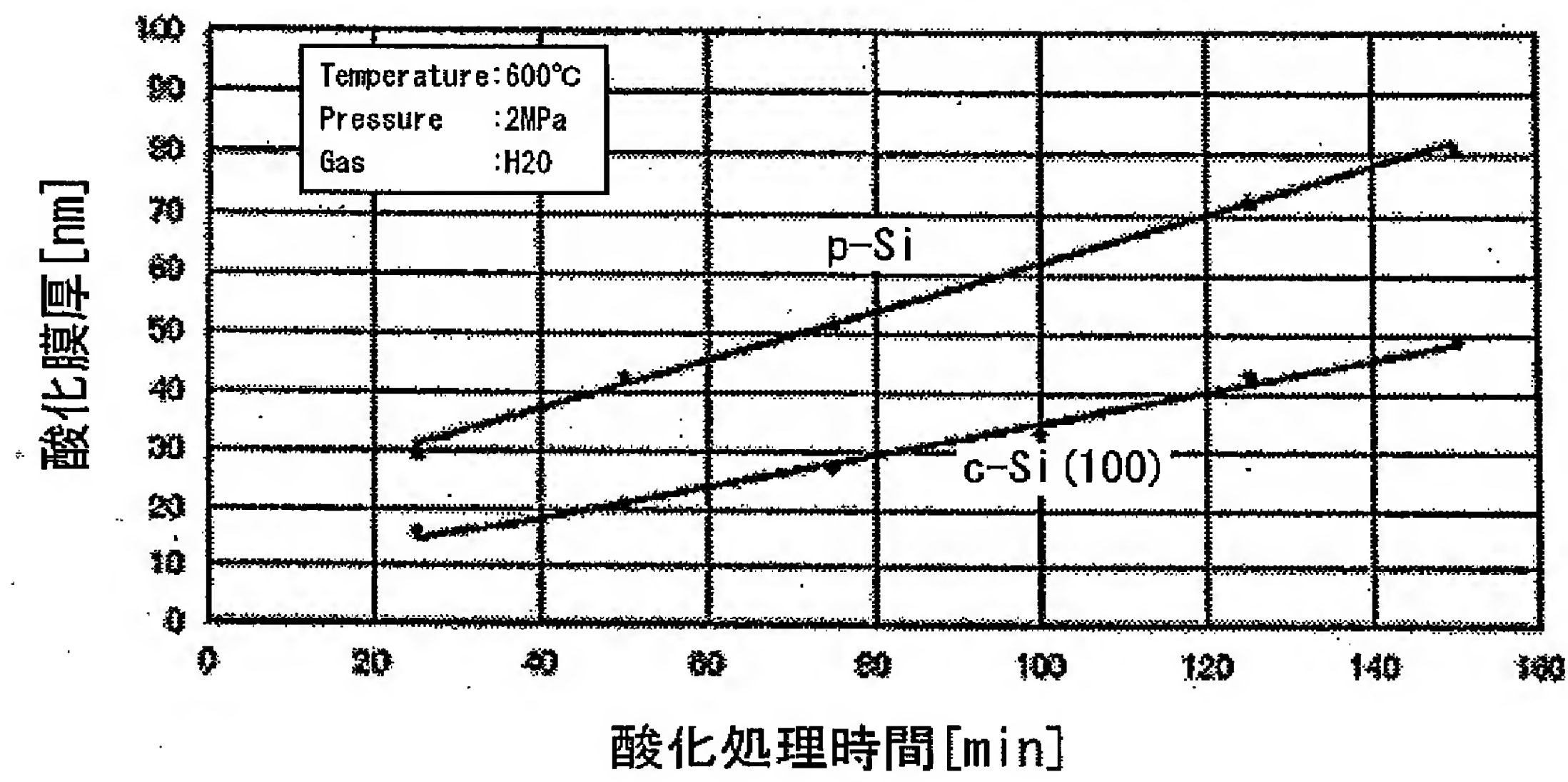


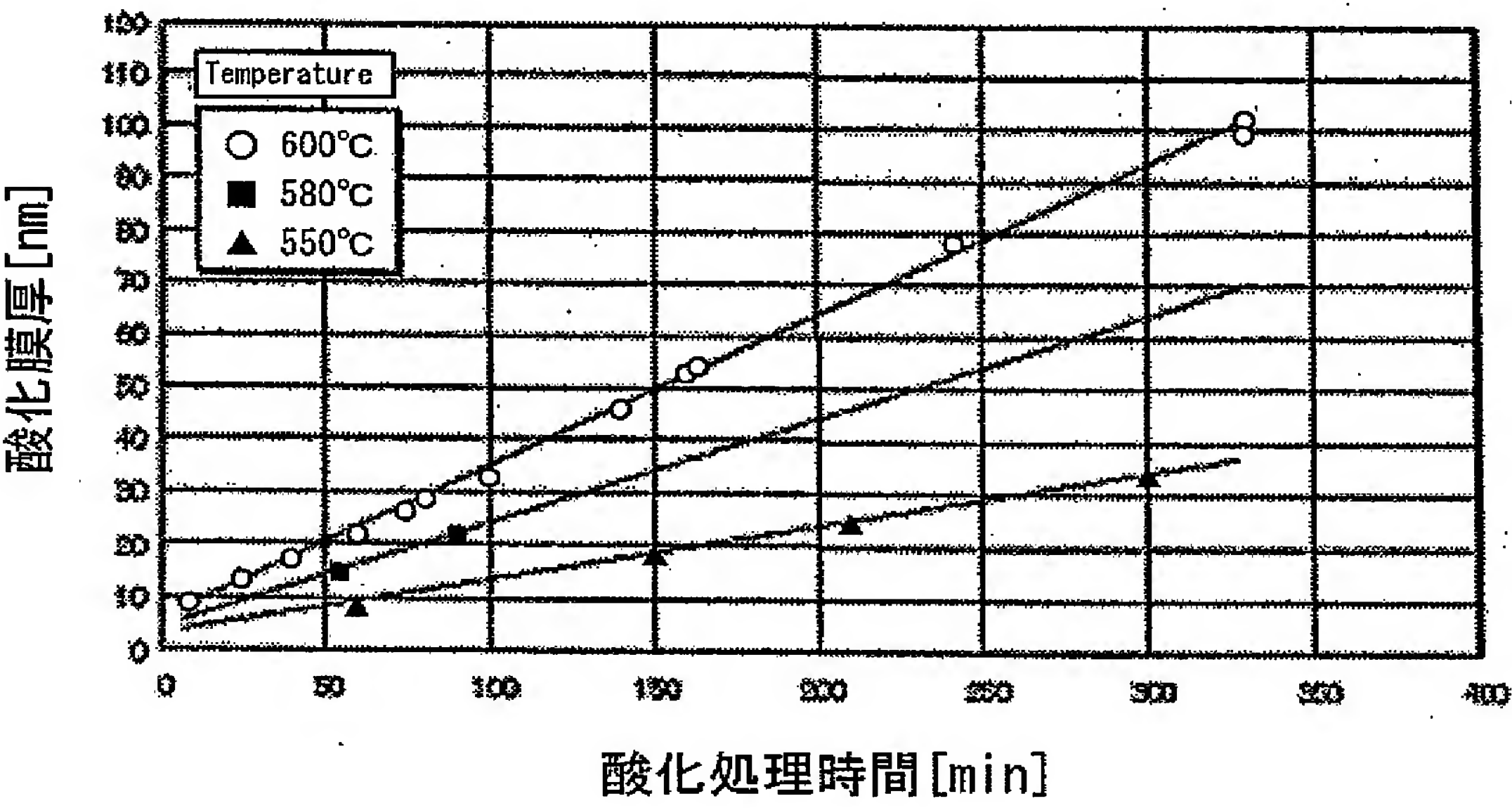
図 2 C



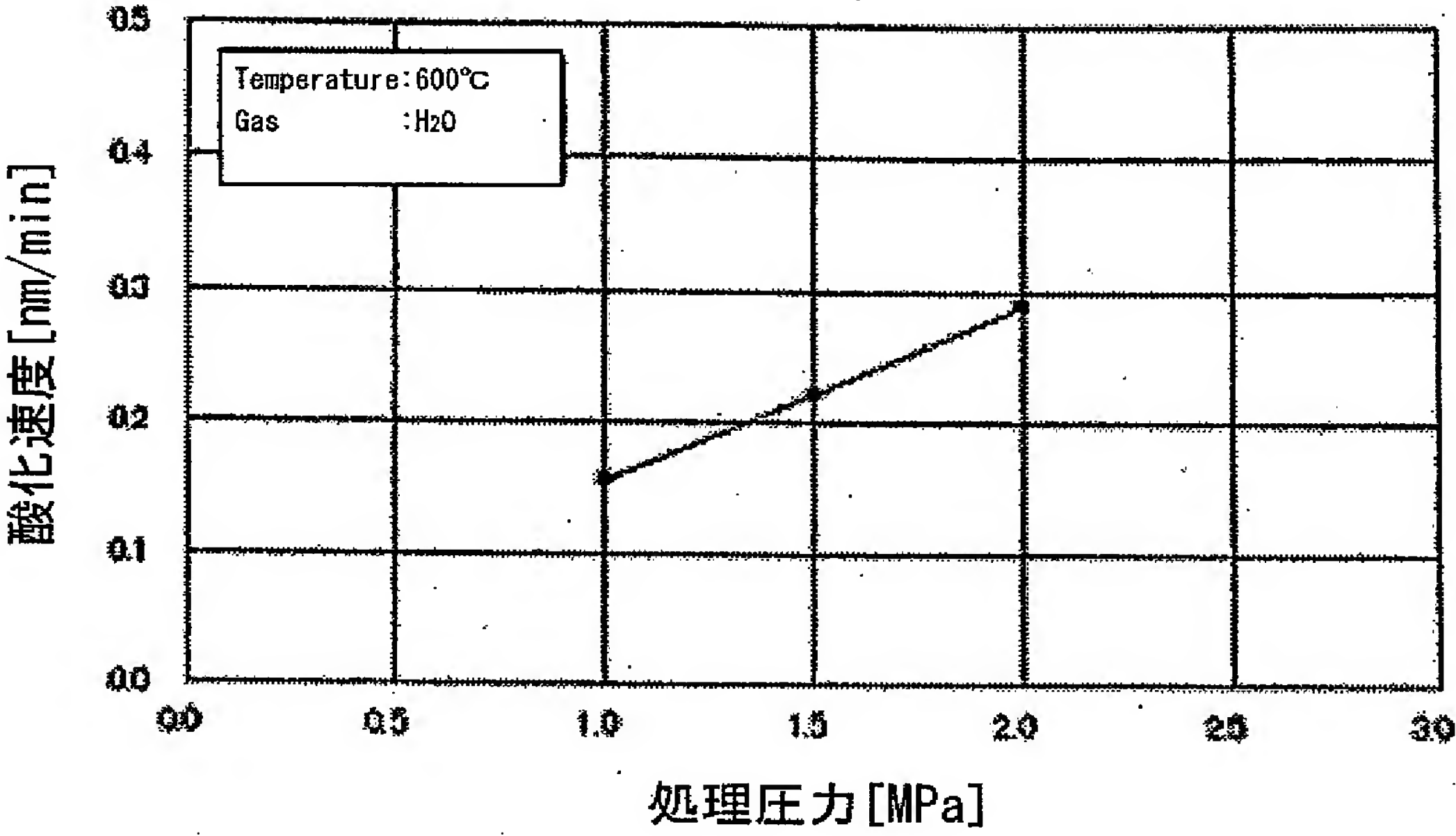
[図3]



[図4]



[図5]



[図6]

図 6 A

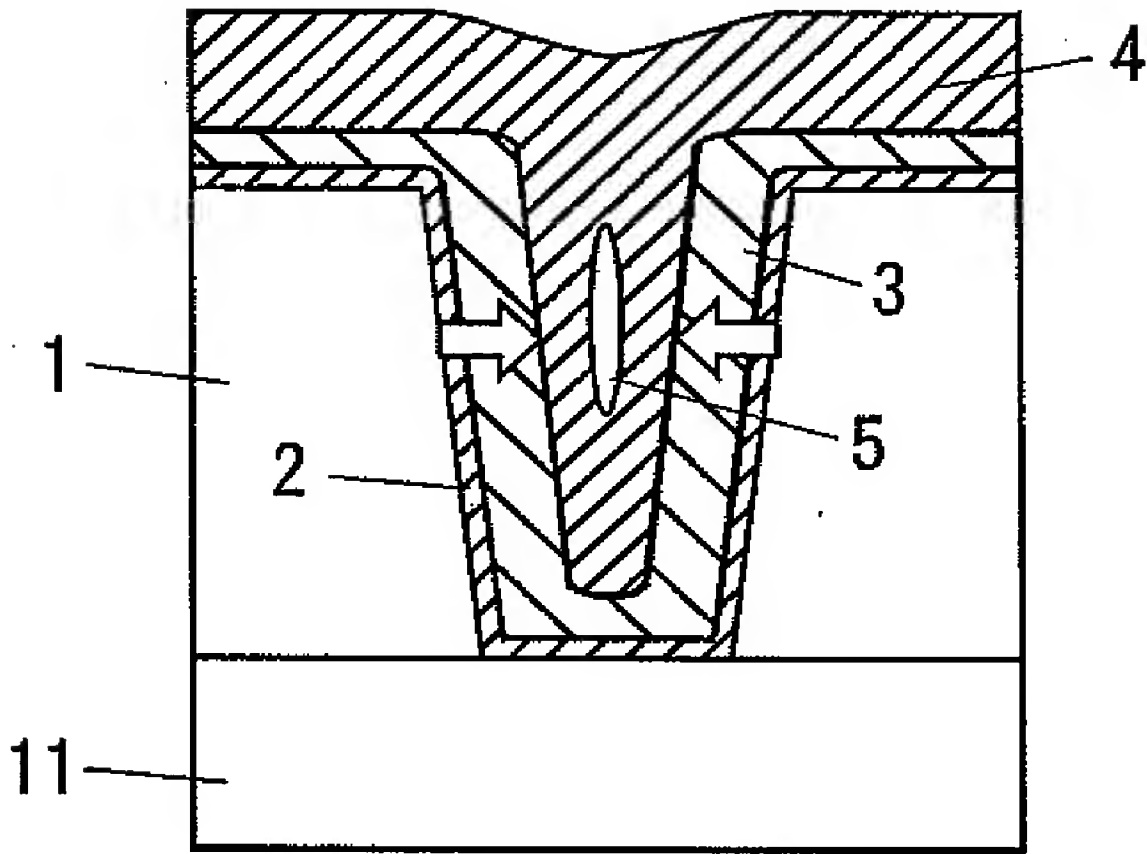
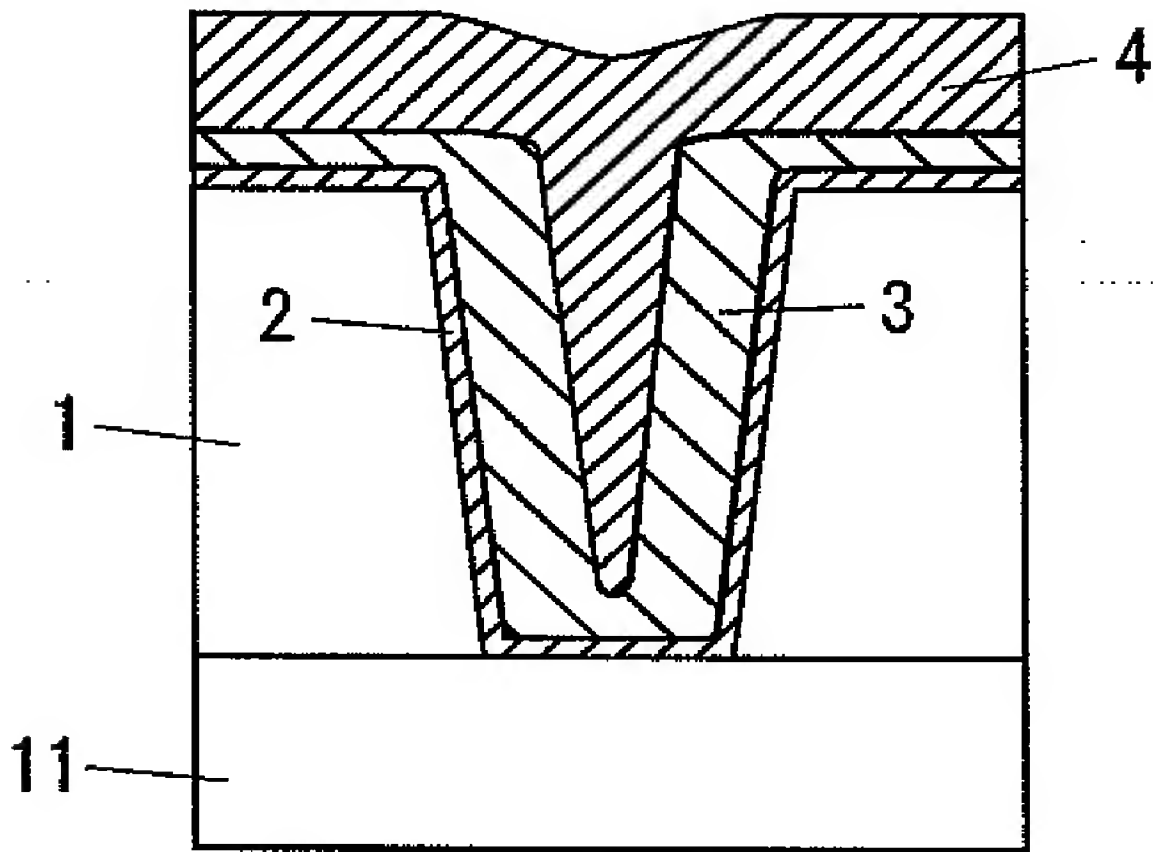
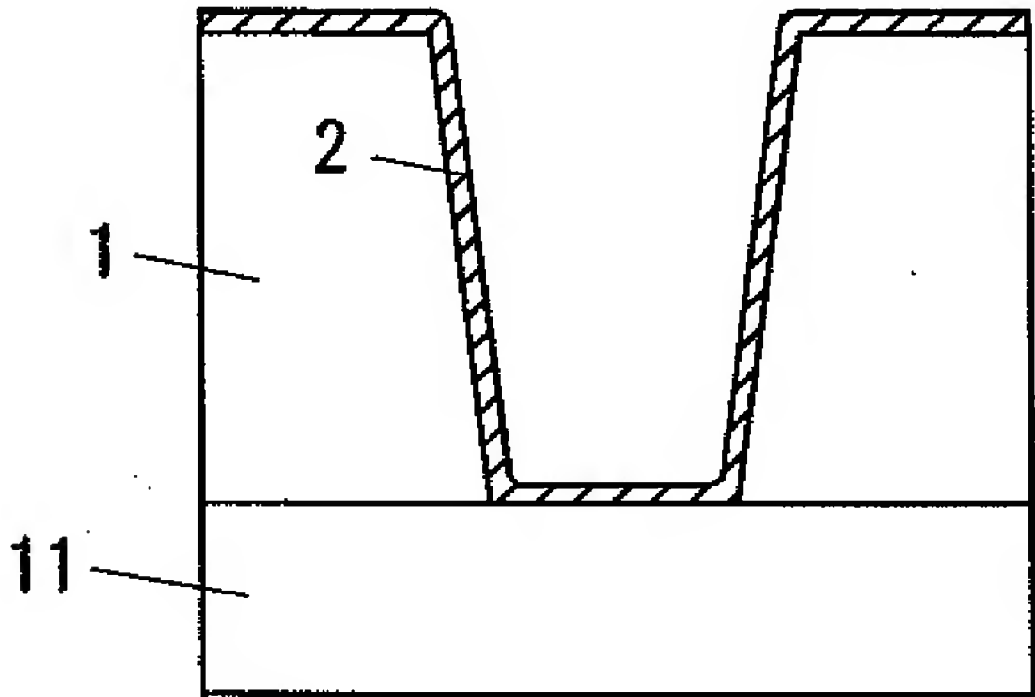


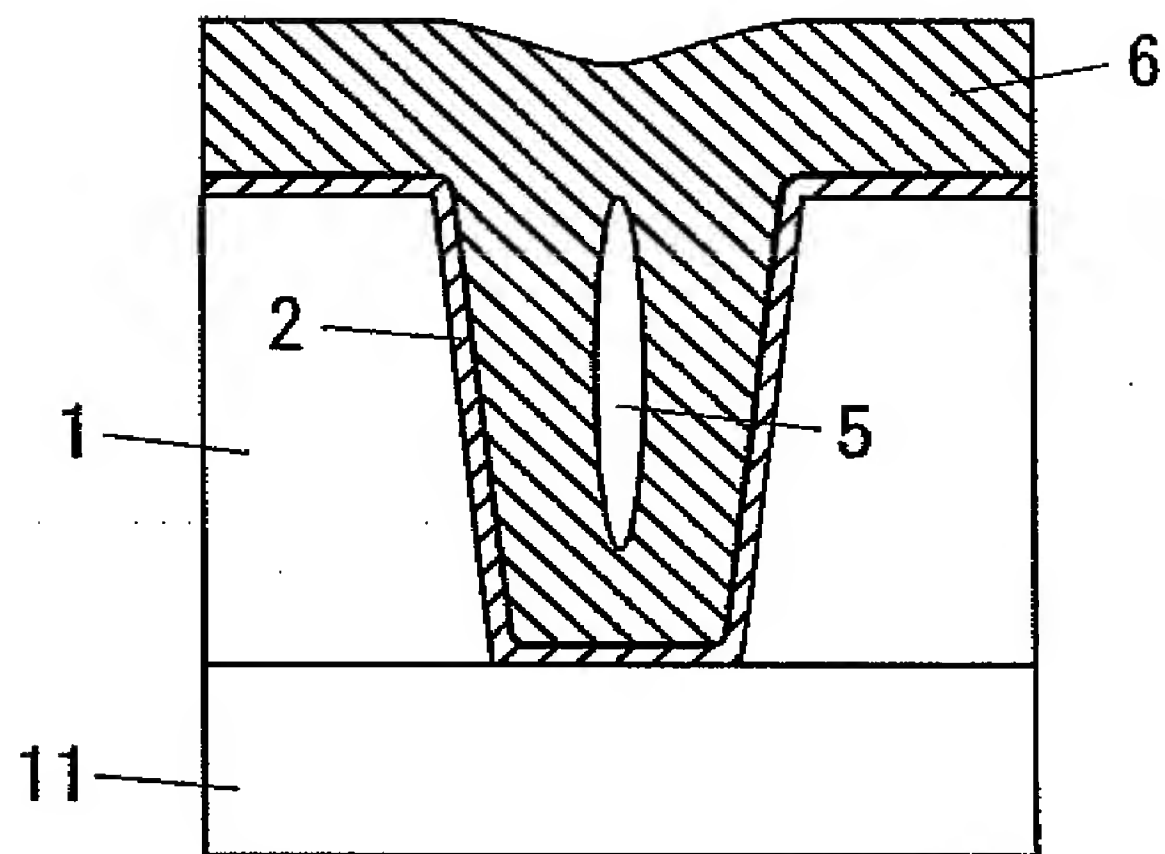
図 6 B



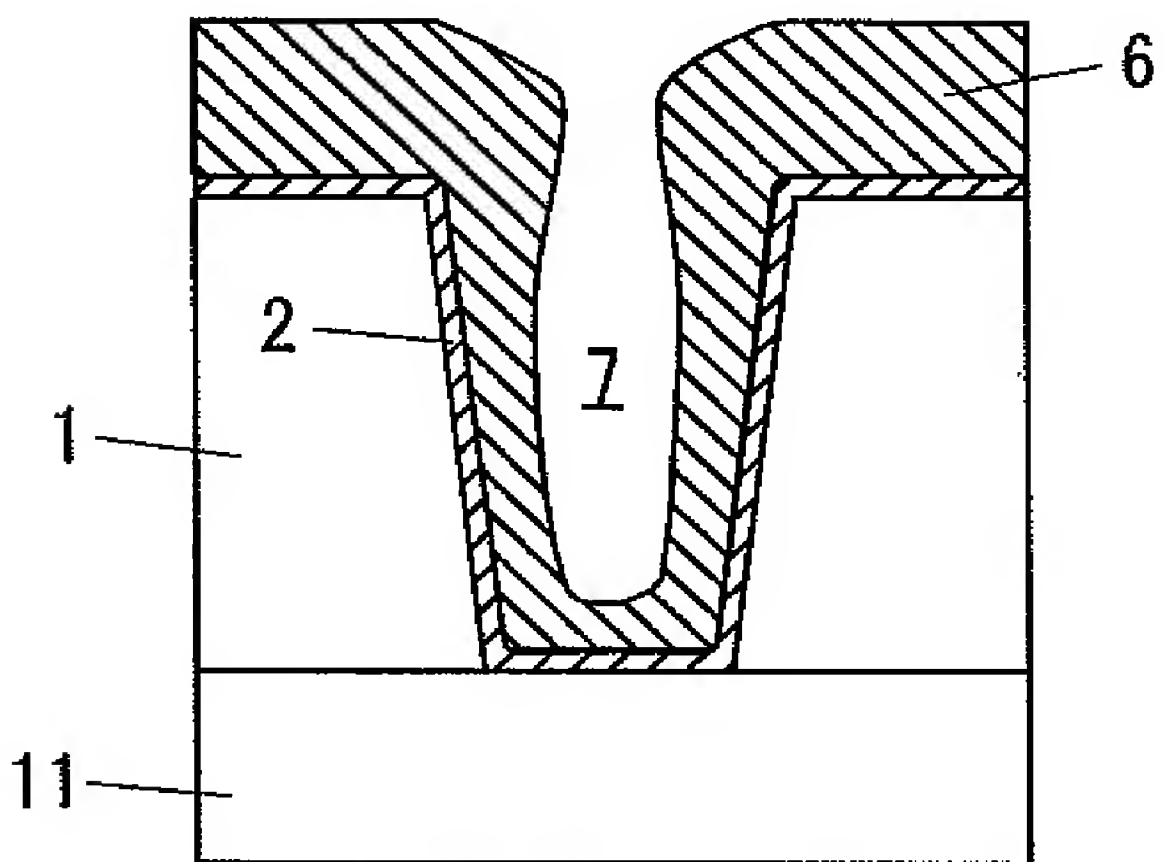
[図7A]



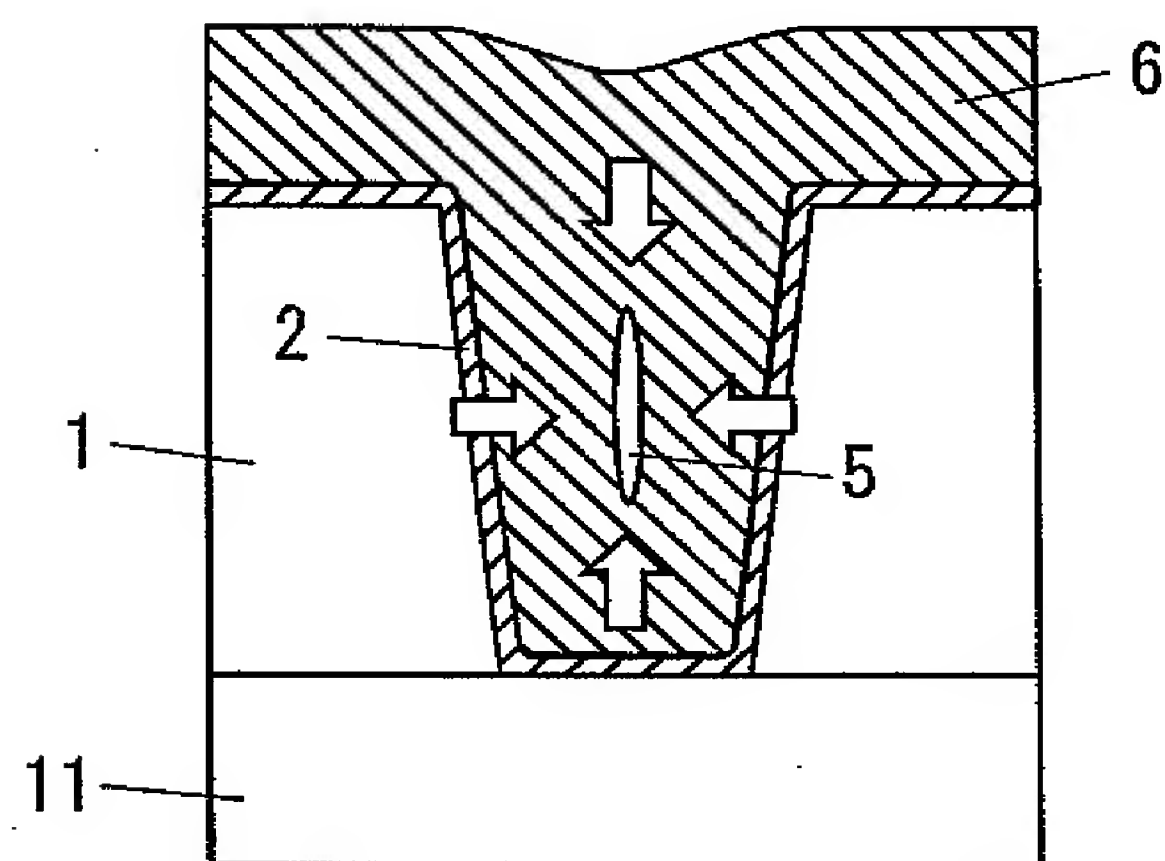
[[図7B]]



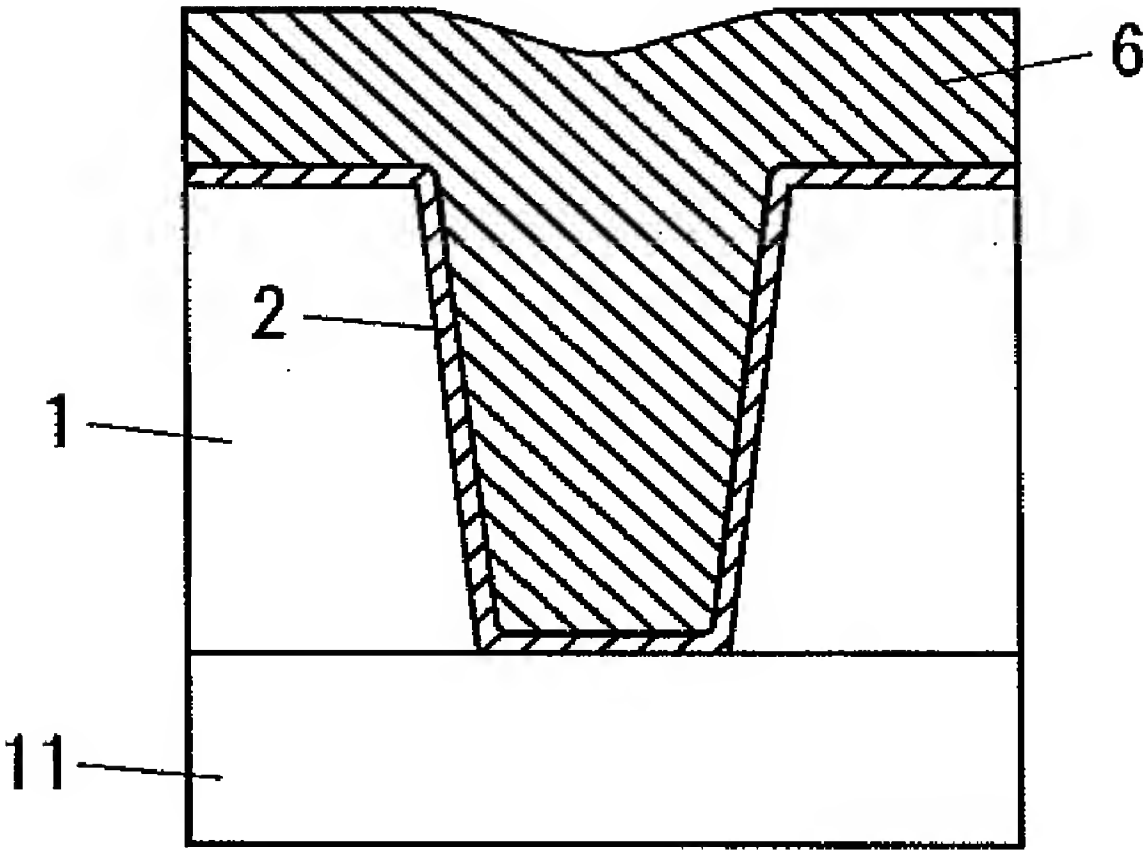
[[図7C]]



[[図7D]]



[図7E]



[図8]

図 8 A

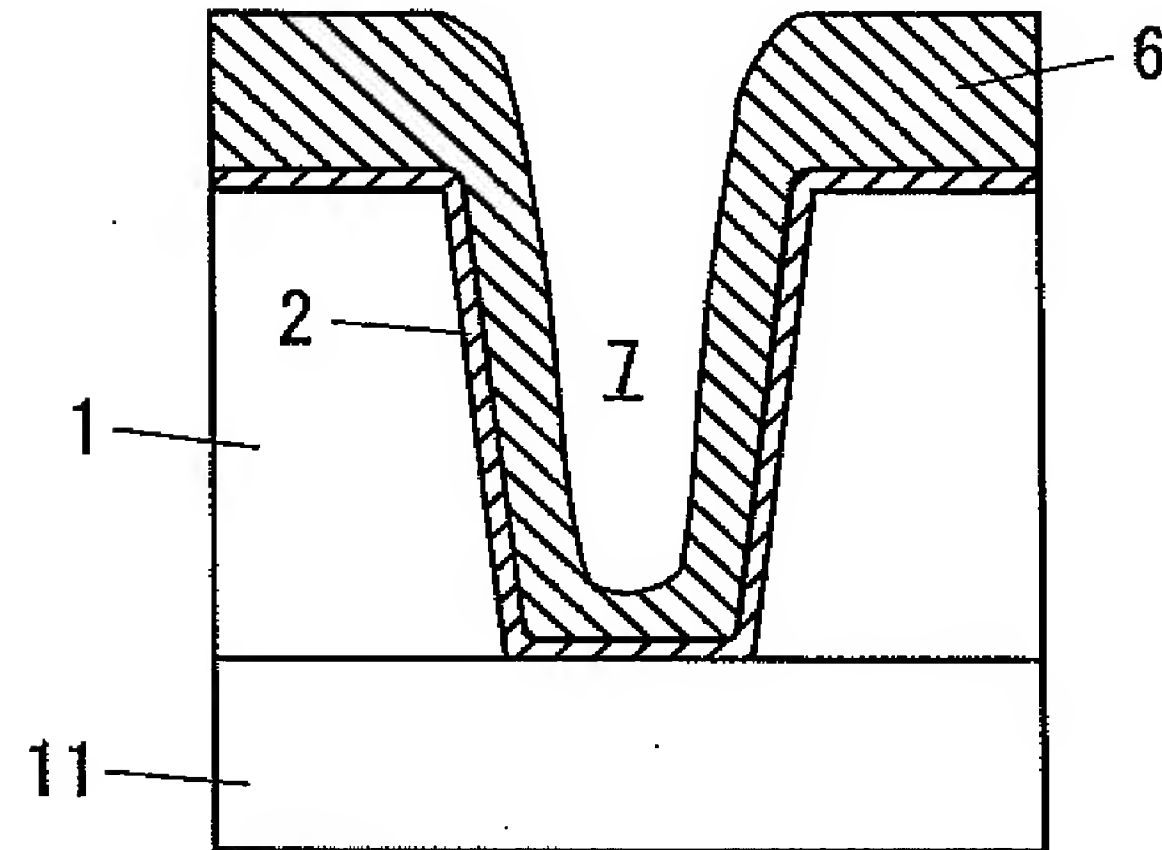
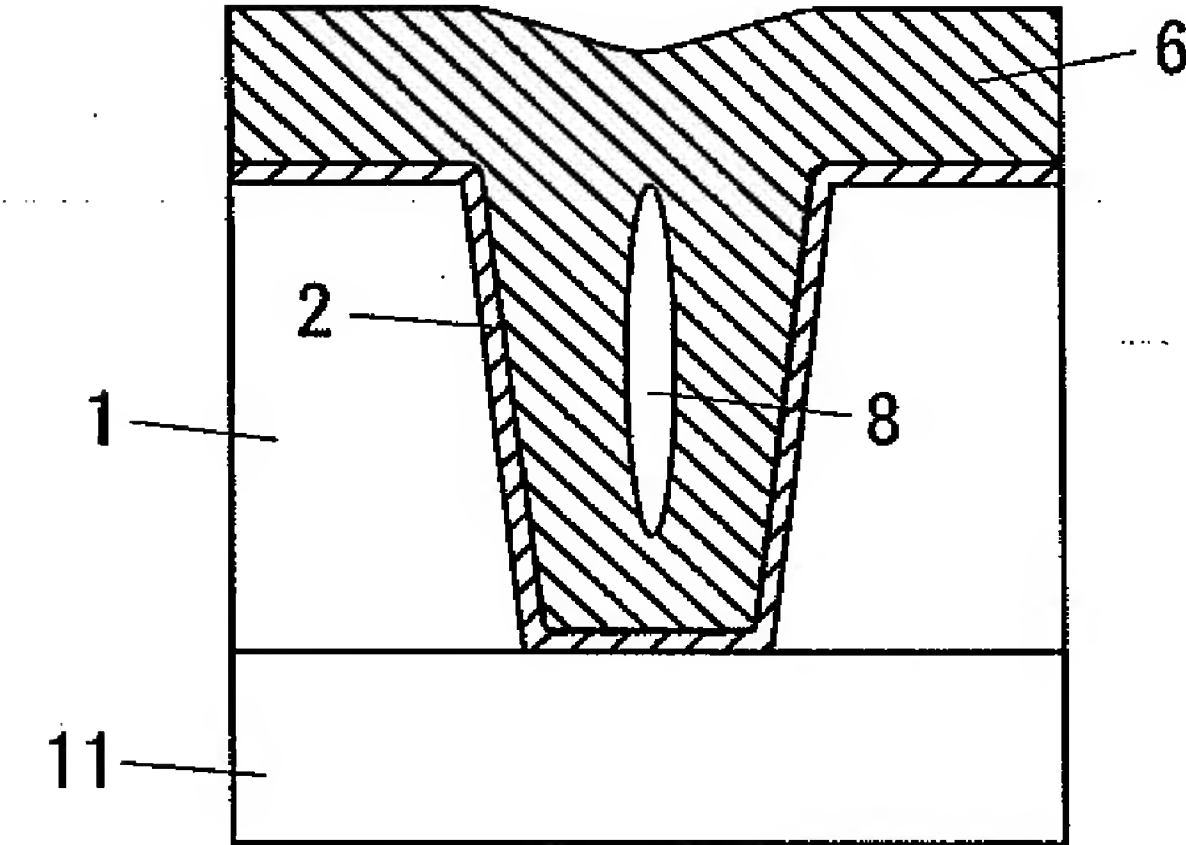


図 8 B



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/007375

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L21/316, 21/768

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01L21/316, 21/76, 21/768

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 62-252950 A (Matsushita Electric Industrial Co., Ltd.), 04 November, 1987 (04.11.87), Page 2, upper left column, line 11 to lower left column, line 19; Fig. 1 (Family: none)	1-6, 10
A	JP 2004-47624 A (Kabushiki Kaisha Runesasu Technology), 12 February, 2004 (12.02.04), Par. Nos. [0022] to [0079], [0089] to [0112]; Figs. 1 to 24, 28 to 35 & US 2004/0016987 A1 Par. Nos. [0049] to [0110], [0119] to [0143]; Figs. 1 to 24, 28 to 35 & DE 10311314 A1	7-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
18 August, 2004 (18.08.04)

Date of mailing of the international search report
07 September, 2004 (07.09.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/007375

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 58-168259 A (Nippon Telegraph & Telephone Public Corp.), 04 October, 1983 (04.10.83), Page 2, upper left column, line 2 to page 3, upper left column, line 14; Figs. 5 to 9 (Family: none)	7-10
A	JP 2000-306992 A (NEC Corp.), 02 November, 2000 (02.11.00), Par. Nos. [0014] to [0026]; Figs. 1 to 3 & US 6329261 B1 Column 3, line 46 to column 6, line 14; Fig. 1 to 3	7-10

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl ⁷ H01L 21/316, 21/768		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl ⁷ H01L 21/316, 21/76, 21/768		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1922-1996年		
日本国公開実用新案公報 1971-2004年		
日本国登録実用新案公報 1994-2004年		
日本国実用新案登録公報 1996-2004年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 62-252950 A (松下電器産業株式会社), 1987.11.04 2頁左上欄11行-左下欄19行, 第1図 (ファミリーなし)	1-6, 10
A	JP 2004-47624 A (株式会社ルネサステクノロジ), 2004.02.12 【0022】-【0079】, 【0089】-【0112】 図1-24, 図28-35 & US 2004/0016987 A1, [0049]-[0110], [0119]-[0143] 図1-24, 図28-35 & DE 10311314 A1	7-10
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー		
「A」 特に関連のある文献ではなく、一般的技術水準を示すもの		
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		
「O」 口頭による開示、使用、展示等に言及する文献		
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献		
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの		
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの		
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの		
「&」 同一パテントファミリー文献		
国際調査を完了した日	18.08.2004	国際調査報告の発送日
国際調査機関の名称及びあて先		特許庁審査官 (権限のある職員)
日本国特許庁 (ISA/J P)		和瀬田 芳正
郵便番号100-8915		4 R 2929
東京都千代田区霞が関三丁目4番3号		電話番号 03-3581-1101 内線 3469

様式PCT/ISA/210 (第2ページの続き) (2004年1月)